

PAT-NO: JP357032676A
DOCUMENT-IDENTIFIER: JP 57032676 A
TITLE: HIGH POWER GAAS FIELD EFFECT TRANSISTOR
PUBN-DATE: February 22, 1982

INVENTOR-INFORMATION:

NAME

NAKATANI, MASAACKI

OTSUBO, MUTSUYUKI

mitsui, yasuro

ASSIGNEE-INFORMATION:

NAME

mitsubishi electric corp

COUNTRY

N/A

APPL-NO: JP55108683

APPL-DATE: August 6, 1980

INT-CL (IPC): H01L029/80, H01L023/12

ABSTRACT:

PURPOSE: To obtain a high power by a GaAs field effect transistor in high frequencies by metallizing the dielectric material deposited partly on the surfaces of drain and gate electrodes and pressing the metallized parts to a heat sink simultaneously with a source electrode.

CONSTITUTION: A source electrode 2, a drain electrode 3 and a Schottky metallic gate electrode 4 are formed on a GaAs wafer 1. Bonding pads 22, 33, 44 are respectively formed by Au plating on parts of the source, drain and gate electrodes 2, 3, 4. Further, a dielectric part 7 and conductive metallic parts 37, 47 are respectively formed on the parts of the drain and gate electrodes 3,

4. A GaAs FET chip thus formed is thermally pressed to a package mount formed of a Cu heat sink 5 of flip chip type plated with Au and a dielectric unit formed with an electrode pattern for bonding on the upper surface with the lower surface metallized, with the surface disposed at the lower side.

COPYRIGHT: (C) 1982, JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57—32676

⑪ Int. Cl.³
H 01 L 29/80
23/12

識別記号

庁内整理番号
7925—5F
7357—5F

⑬ 公開 昭和57年(1982)2月22日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 高出力GaAs電界効果トランジスタ

機株式会社エル・エス・アイ研
究所内

⑮ 特 願 昭55—108683

⑯ 発 明 者 三井康郎

⑰ 出 願 昭55(1980)8月6日

伊丹市瑞原4丁目1番地三菱電
機株式会社エル・エス・アイ研
究所内

⑱ 発 明 者 中谷正昭

伊丹市瑞原4丁目1番地三菱電
機株式会社エル・エス・アイ研
究所内

⑲ 出 願 人 三菱電機株式会社

東京都千代田区丸の内2丁目2
番3号

⑳ 発 明 者 大坪睦之

伊丹市瑞原4丁目1番地三菱電

㉑ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

高出力GaAs電界効果トランジスタ

2. 特許請求の範囲

ソース電極をヒートシンクに、ドレイン電極とゲート電極を誘電体基板上にそれぞれ直接的に同一平面的に圧着するフリップチップ型GaAs電界効果トランジスタにおいて、前記ドレイン電極とゲート電極の表面の一部に誘電体を蒸着により形成し、その上をメタライズしその部分を前記ソース電極と同時にヒートシンクの凸部に圧着したことを特徴とする高出力GaAs電界効果トランジスタ。

3. 発明の詳細な説明

この発明は、出力特性を向上させた電界効果トランジスタ、具体的にはフリップチップ型高出力電界効果トランジスタ(以下、P-GaAsと称する)に関するものである。

まず、従来のP-GaAs FETの構造について簡単に説明する。第1図(a)は従来のGaAs FET

のチップの表面構造を示すもので、半絶縁性基板の上にn型エピタキシャル層を成長させたGaAsウェハ1上に、AuGeNiなどのオーミック金属のソース電極2とドレイン電極3およびAlなどのショットキ金属のゲート電極4が形成されている。このソース電極2、ドレイン電極3、ゲート電極4の一部を、Auメッキなどにより数10μmの厚さにして各電極のボンディングパッド22、33、44を形成する。このようにして形成されたGaAs FETのチップをその表面を下にしていわゆるフリップチップ構造にし、第1図にその断面図を示すようにAuメッキされたCoのヒートシンク5と、下面がメタライズされ上面にボンディング用の電極パターンが形成された誘電体6からなるパッケージマウントに熱圧着すると高出力のP-GaAs FETができあがる。

従来のこのような構造のP-GaAs FETは内部整合型にして高周波における優れた特性を引き出せる反面、次のような欠点を有していた。

すなわち、第1図(a)において、チップのソース

電極2の幅 w は高周波特性を良くするためには300 μm 以下にする必要がある、そのため、第1図(b)のパッケージマウントのヒートシンク5の凸部55の幅 W を w と同程度に短かい寸法にしておかなければならない。さもないと、いたずらに第1図(a)のチップ幅 a を大きくして、ドレイン電極3やゲート電極4の面積を大きくして寄生要素を増やし、高周波特性を劣化させる結果になる。しかしながら、パッケージマウントのヒートシンク5の凸部55の幅 W を短かくすることは製作加工上難しい。また、凸部55の幅 W が高さ H よりも小さくなることもあり、その部分の熱抵抗が大きくなり高出力特性を損なう結果になる。

この発明は、上述の欠点を除去するためになされたもので、高周波特性を損なうことなく出力特性を向上できる素子構造を提供するものである。以下、図面に従いこの発明を説明する。

第2図はこの発明によるF-GaAs P E Tの構造を示すもので、第2図(a)はチップの表面構造を、第2図(b)はチップをパッケージマウントに圧着し

上述したこの発明によるF-GaAs P E Tによれば、第2図(b)に示す誘電体7によつて積極的に容量を形成し、ドレイン電極3、ゲート電極4の電線インダクタと共に、高周波特性を引出すのに有利な一種の内部整合化を計っている。この容量は、誘電体7の種類や厚みによつて任意の設計値に選ぶことができる。さらに第2図(b)に示すように、チップのソース電極幅 w をヒートシンク5の凸部55の幅 W よりも小さくすることができ、チップの高周波特性を向上させることが可能になる。逆に、幅 W を大きくすることができるので、凸部55の高さ H との比率によりその部分の熱抵抗を低下させることができ、高出力特性を一層向上させることが可能となる。

なお、上記の実施例はフリップチップ型高出力GaAs P E Tを用いて説明したものであるが、内部整合化をさらに進めたモノリシックICにもその適用を拡張することができる。

以上詳細に説明したように、この発明はドレイン電極とゲート電極の表面の一部に誘電体を蒸着

た断面 造を示す。第2図(a)において、半絶縁性GaAs基板上にn型エピタキシャル層を成長させたGaAsウェハ1上に、AuGeNiなどのオーミック金属のソース電極2とドレイン電極3およびAlなどのショットキ金属のゲート電極4が形成されている。このソース電極2、ドレイン電極3、ゲート電極4の一部を、Auメッキなどにより数10 μm の厚さにして各電極のボンディングパッド22、33、44を形成する。さらにこのドレイン電極3、ゲート電極4の一部に、BaTiO₃などの誘電体7とAuなどの導電性金属を連続してスパッタ蒸着し、そのAu金属上をAuメッキなどにより数10 μm の厚さにした部分37、47を形成する。このようにして形成されたGaAs P E Tのチップをその表面を下にして、フリップチップ型で第2図にその断面図を示すようなAuメッキされたCuのヒートシンク5と、下面がメタライズされ上面にボンディング用の電極パターンが形成された誘電体6からなるパッケージマウントに熱圧着して、F-GaAs P E Tとする。

により形成し、その上をメタライズし、その部分をソース電極と同時にヒートシンクに圧着した構成としたので、ヒートシンクの凸部の幅を大きくでき、したがって、殊に高周波において高出力を得ることができる利点がある。

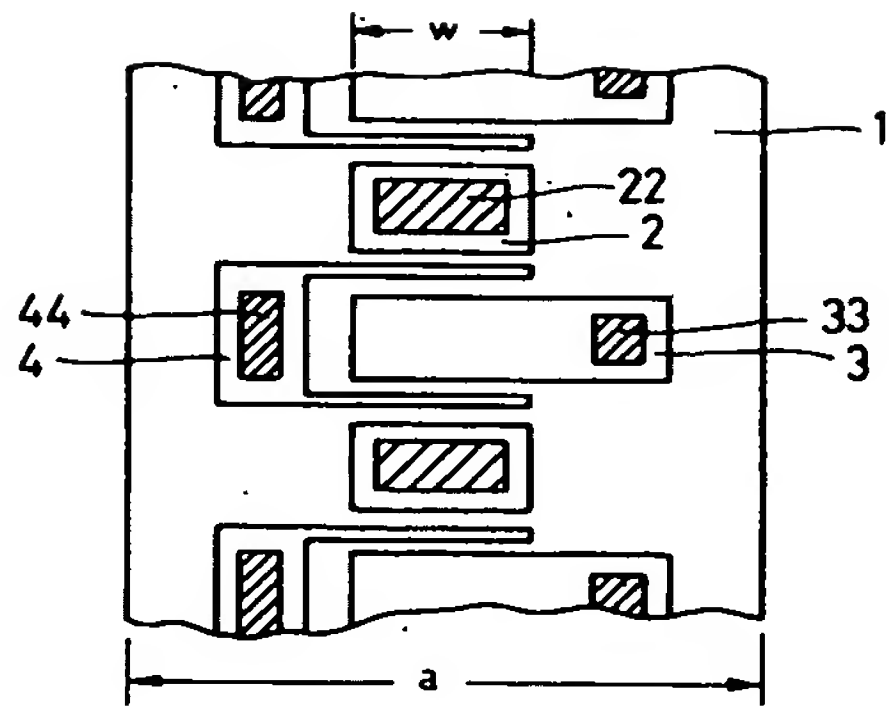
4. 図面の簡単な説明

第1図(a)、(b)は従来の通常のフリップチップ型高出力GaAs P E Tのチップの平面図およびチップをパッケージマウントに圧着した状態を示す断面図、第2図(a)、(b)はこの発明によるフリップチップ型高出力GaAs P E Tのチップの平面図およびチップをパッケージマウントに圧着した状態を示す断面図である。

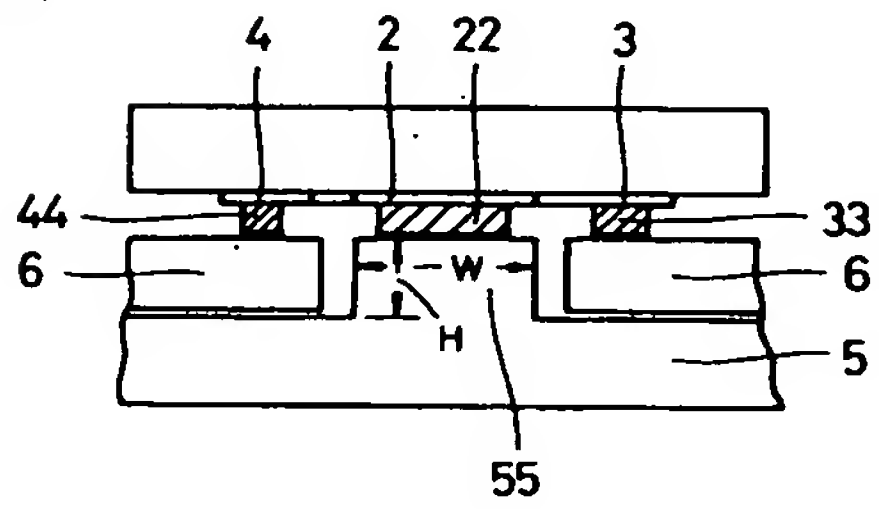
図中、1はGaAsウェハ、2、3、4はソース、ドレイン、ゲート電極、22、33、44はそのボンディングパッド部、5はヒートシンク、55はその凸部、6は誘電体、7は蒸着で形成する誘電体、37、47はその誘電体のボンディングパッドの部分を示す。なお、図中の同一符号は同一または相当部分を示す。

第 1 図

(a)

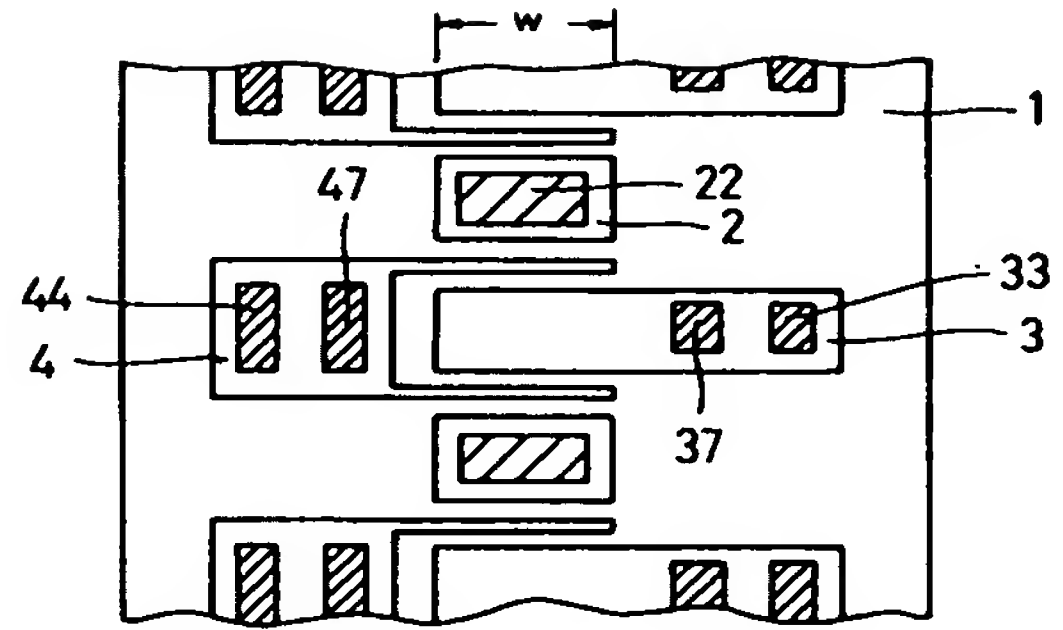


(b)



第 2 図

(a)



(b)

